

[19]中华人民共和国国家知识产权局

[51]Int. Cl.

H04N 5/907

[12] 发明专利申请公开说明书

[21] 申请号 99110374.2

[43]公开日 2000年3月8日

[11]公开号 CN 1246766A

[22]申请日 1999.7.16 [21]申请号 99110374.2

[30]优先权

[32]1998.7.17 [33]JP [31]204087/1998

[32]1998.11.20 [33]JP [31]331615/1998

[71]申请人 索尼公司

地址 日本东京都

[72]发明人 竹泽正行 水谷阳一 松元秀树

[74]专利代理机构 柳沈知识产权律师事务所

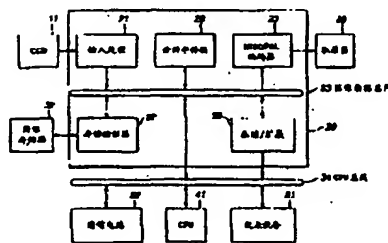
代理人 马莹

权利要求书 3 页 说明书 17 页 附图页数 13 页

[54]发明名称 成像装置、信号处理装置及其控制方法

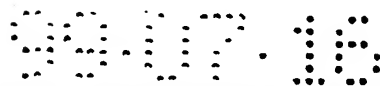
[57]摘要

一种成像系统,即使提高不同分辨率的图像数据的分辨率,也能有效地执行处理而不会降低有关电路的处理能力。为此,在用于向相应电路传送图像数据的图像数据总线 33 的带宽限制范围内,存储控制器 22 分时地向相应电路传送确认信号,并管理使相应电路执行预定处理的控制。即,存储控制器 22 实际上实时访问相应电路中的数据,使图像数据从相应电路写入图像存储器 32,或从图像存储器 32 中读出图像数据,送到相应电路。



ISSN 1008-4274

1. 一种信号处理装置, 包括:
 - 用于存贮图像数据的存贮设备;
 - 5 用于为所述存贮设备控制图像数据写/读的控制设备; 以及
 - 用于按预定方式处理图像数据和用于向所述控制设备输出请求信号的多种信号处理设备, 所述请求信号要求为信号处理提供图像数据或要求输出处理过的图像数据;
- 10 所述控制设备管理对提供所述请求信号的控制, 选择一个或多个输出所述请求信号的所述信号处理设备, 向选中的信号处理设备提供从存贮设备读出的图像数据, 或向所述存贮设备写入由选中信号处理设备输出的图像数据。
2. 如权利要求 1 所述的信号处理装置, 其中所述多个信号处理设备包括有关的定时产生设备。
3. 如权利要求 1 所述的信号处理装置, 还包括:
 - 15 一种安排在所述控制设备和信号处理装置之间用于发送/接收所述图像数据的图像数据总线。
4. 如权利要求 1 所述的信号处理装置, 其中, 所述控制设备优先选择要求实时进行信号处理的信号处理设备。
5. 如权利要求 1 所述的信号处理装置, 其中该装置包括多种处理模式,
 - 20 其中所述控制设备根据所述工作模式设置所述多个信号处理设备的优先级次序。
6. 如权利要求 3 所述的信号处理装置, 其中所述控制设备管理控制, 从而使图像数据在图像数据总线传输带宽范围内。
7. 如权利要求 1 所述的信号处理装置, 其中所述控制设备从信号处理设备中分吋和同时选择多个信号处理设备。
 - 25
8. 如权利要求 1 所述的信号处理装置, 其中所述控制设备向选中的信号处理设备输出一个表示选择结果的确认信号;
 - 所述信号处理设备在接收到所述确认信号后与所述控制设备交换图像数据。
9. 一种信号处理装置的控制方法, 该信号处理装置用于在多个信号处理设备和存贮图像数据的存贮设备之间发送/接收图像数据, 所述信号处理设备
- 30



用于按预定方式处理图像数据，向所述控制设备输出一个请求信号，来要求为信号处理提供图像数据或要求输出处理过的图像数据，所述控制方法包括：

根据所述多个信号处理设备提供的所述请求信号，选择一个或多个输出所述请求信号的所述信号处理设备；以及

5 向选中的信号处理设备提供从存贮设备读出的图像数据，或在所述存贮设备中写入由选中的图像处理设备输出的图像数据。

10. 如权利要求 9 所述的控制方法，其中所述多个信号处理设备输出基于由所述信号处理设备各自拥有的定时产生设备的所述请求信号。

11. 如权利要求 9 所述的控制方法，其中所述图像数据通过一条图像数据总线发送和接收。

12. 如权利要求 9 所述的控制方法，其中要求实时处理的信号处理设备被优先选择。

13. 如权利要求 9 所述的控制方法，其中信号处理装置具有多种工作模式；其中，根据所述工作模式设置所述多个信号处理设备的优先级次序。

14. 如权利要求 11 所述的控制方法，其中，执行使图像数据包括在所述图像数据总线的传输带宽内的控制。

15. 如权利要求 9 所述的控制方法，其中同时分时地选择多个信号处理设备。

16. 如权利要求 9 所述的控制方法，其中表示选择结果的确认信号被输出到选中的信号处理设备；

所述信号处理设备在收到所述确认信号之后与所述控制设备交换图像数据。

17. 一种成像装置，包括：

成像设备；

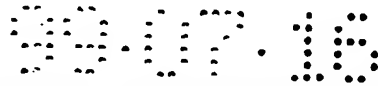
25 用于暂时存贮来自所述成像设备的图像数据的存贮设备；

用于控制所述存贮设备的所述图像数据写/读的控制设备；

多种信号处理设备，用于按预定方式处理图像数据，用于向所述控制设备输出一个要求为信号处理提供图像数据或要求输出处理过的图像数据的请求信号；以及

30 用于输出由所述信号处理设备处理的图像数据的输出设备；

所述控制设备管理对提供所述请求信号的控制，选择一个或多个输出所



述请求信号的所述信号处理设备, 向选中的信号处理设备提供从存贮设备读出的图像数据, 或在所述存贮设备中写入由选中的信号处理设备输出的图像数据。

5 18. 如权利要求 17 所述的成像装置, 其中, 除了所述信号处理设备还包括:

用于处理在显示设备上显示的所述图像数据的显示处理设备; 以及
用于处理在记录媒介上记录的所述图像数据的记录处理设备;
优先选择所述显示处理设备的所述控制设备。

10 19. 一种记录/再现装置, 包括:
成像设备;

用于对来自所述成像设备的图像数据进行预定的输入处理的输入处理设备;

用于在显示设备上显示图像数据的显示处理设备;
用于暂时存贮来自所述成像设备的图像数据的第一存贮设备;
15 用于为所述第一存贮设备控制写/读图像数据的控制设备;
用于转换图像数据分辨率的分辨率转换设备;
用于压缩/扩展图像数据的压缩/扩展设备; 以及

用于使压缩图像数据记录在第二存贮设备和用于使在所述第二存贮设备上存贮的图像数据再现的记录/再现控制设备;

20 所述控制设备从所述输入处理设备、显示处理设备、分辨率转换设备和所述压缩/扩展设备中选择 1 个或多个信号处理设备, 所述控制设备从第一存贮设备读出图像数据, 送至选中的信号处理设备, 或向第一存贮设备写入由选中的信号处理设备输出的图像数据。

25 20. 如权利要求 19 所述的记录/再现装置, 具有一个取景模式, 用于在所述显示设备上显示来自所述成像设备的图像数据, 一个记录模式, 用于在所述第二存贮设备上记录图像数据, 以及一个再现模式, 用于再现来自所述第二存贮设备上的图像数据;

所述控制设备根据所述各个模式设置所述多个信号处理设备的优先级次序。

30 21. 如权利要求 20 所述的记录/再现装置, 其中, 在取景模式, 所述控制设备优先选取输入处理设备和显示处理设备。

成像装置、信号处理装置
及其控制方法

5

本发明涉及到一种适用于静态图像成像设备中的信号处理设备。具体地讲，涉及到一种特别有效地完成信号处理的信号处理装置及其控制方法，以及一种成像设备和记录/再现装置。

10 数码相机通过 CCD 图像传感器获取图像数据，存入 DRAM 或快闪存储器，随后将图像数据传送到所谓的个人计算机或类似设备。到目前为止，此类数码相机的大部分属于视频图形阵列(VGA)系统类型。

15 参照图 1，该数码相机 200 包括：一个用于产生图像信号的 CCD 图像传感器 201，一个输入处理/图像处理电路 202，一个用于读取和写入图像数据的存储控制器 203，一个用于转换到一种预定系统输出图像的输出处理电路 204，一种用于显示在图像拍摄时对象状态的取景器 205，一种通过 CPU 总线 206 来记录压缩后图像数据的记录单元 207，以及用于压缩/扩展图像数据的一种压缩/扩展电路 208。数码相机 200 还包括例如由 DRAM 构成的存储器 209，以及用来控制整个设备的 CPU 210。

20 在开始对象的图像拍摄之前，用户须确保对象图像显示在取景器 205 上。此状态称作取景模式。此时，CCD 图像传感器 201 将通过光电转换获得的图像信号送到输入处理/图像处理电路 202。输入处理/图像处理电路 202 对图像信号实施相关双采样处理来数字化图像信号。输入处理/图像处理电路 202 接着实施预定的信号处理，如伽马校正 (gamma correction)，失真处理 (knee processing) 或照相处理 (camera processing)，把处理后的图像信号
25 送到存储控制器 203，存储控制器 203 接着响应 CPU 210 的控制，把图像数据从输入处理/图像处理电路 202 送到输出处理电路 204。输出处理电路 204 按照例如美国国家电视系统委员会(NTSC)制式，对图像数据编码，再将编码后的图像数据模拟化，把得到的模拟数据送到取景器 205。这样就使对象作为拍摄图像的对象被显示在取景器 205 上。

30 另一方面，如果用户按下快门按钮(未示出)移到记录模式，存储控制器 203 促使从输入处理/图像处理电路 202 提供的图像数据被写到存储器 209 中。



CPU 210 使该图像数据从存储器 209 中读出, 在压缩/扩展电路 208 中按照例如联合图形专家组(JPEG)制式压缩图像数据, 然后, 在记录单元 207 中记录经压缩的图像数据。

5 如果用户执行移到到再现方式的预定处理, CPU 210 从记录单元 207 中读出图像数据, 在压缩/扩展电路 208 中按 JPEG 制式扩展图像数据, 把所得数据经存储控制器 203 和输出处理电路 204 送到取景器 205。这样就在取景器 205 上显示了拍摄图像。

10 随着近来 CCD 图像传感器的显著技术进步, 图像数据分辨率几乎超过 1,000,000 个像素。另一方面, 会担心上述结构的数码相机不足以应付超过 1,000,000 像素的图像数据。

例如, 如果 CCD 图像传感器 201 输出高分辨率的图像信号, 输入处理/图像处理电路 202, 存储控制器 203 或输出处理电路 204 不能实时处理图像数据, 结果到对象图像在取景器 205 上显示时容易产生例如 1 秒的延迟。特别是在拍摄轻微地运动对象的图像时, 会引起不方便。

15 此外, 由于对需要实时的图像数据进行访问, 而且 CPU 210 用不定的数据速率访问数据都是在普通总线上执行的, 所以如果因图像数据量的增加而导致 CPU 总线停滞, 则会降低相应电路的处理能力, 使实时访问难以实现。

20 因此本发明的目的是提供一种信号处理方法和装置, 即使为跟上图像数据增加的分辨率处理各种不同的图像数据, 也能有效地执行处理而不降低相应电路的处理能力。

在一方面, 本发明提供了一种信号处理装置, 包括: 存贮图像数据的存贮设备, 为存贮设备控制写/读图像数据的控制设备, 以及多个信号处理设备, 用于按预定方式处理图像数据和用于向控制设备输出请求信号, 来要求提供图像数据进行信号处理或要求输出处理过的图像数据。控制设备管理对提供请求信号的控制, 选择一种或多种输出请求信号的信号处理设备, 为选中的信号处理设备提供从存贮设备读出的图像数据, 或在存贮设备中写入选中信号处理设备输出的图像数据。

30 另一方面, 本发明提供了一种信号处理装置的控制方法, 该信号处理装置可适应在多个信号处理设备和存贮图像数据的存贮设备之间发送和接收图像数据, 各信号处理设备按预定方式处理图像数据, 并且向控制设备输出一种要求提供进行信号处理的图像数据或要求输出处理后图像数据的请求信

号。该控制方法包括：根据所提供的来自多个信号处理设备的请求信号，选择一个或多个输出请求信号的信号处理设备，以及为选中的信号处理设备提供从存贮设备读出的图像数据或在存贮设备中写入选中信号处理设备输出的图像数据。

- 5 再一方面，本发明提供一种成像装置，包括：成像设备，暂时存贮来自成像设备的图像数据的存贮设备，为存贮设备控制写/读图像数据的控制设备，多个信号处理设备，用于按预定方式处理图像数据和用于向控制设备输出请求信号，来要求提供图像数据进行信号处理或要求输出处理过的图像数据，以及输出经信号处理设备处理过的图像数据的输出设备。控制设备管理
- 10 对提供请求信号的控制，选择一种或多种输出请求信号的信号处理设备，为被选的信号处理设备提供从存贮设备读出的图像数据，或在存贮设备中写入被选信号处理设备输出的图像数据。

- 另一方面，本发明提供了一种记录/再现装置，包括：成像设备，用于对来自成像设备的图像数据进行预定输入处理的输入处理设备，用于在显示设备上显示图像数据的显示处理设备，用于暂时存贮来自成像设备的图像数据
- 15 的第一存贮设备，为第一存贮设备控制写/读图像数据的控制设备，转换图像数据分辨率的分辨率转换设备，压缩/扩展图像数据的压缩/扩展设备，以及用于在第二存贮设备上记录压缩后的图像数据和用于再现记录在第二存贮设备上图像数据的记录/再现控制设备。控制设备从输入处理设备、显示处理设备、分辨率转换设备和压缩/扩展设备中选择一种或多种信号处理设备。这种
- 20 控制设备将由第一存贮设备读出的图像数据送到选中的信号处理设备，或将选中信号处理设备输出的图像数据写入到第一存贮设备。

- 按照本发明，在信号处理装置及其控制方法中，如果每个信号处理设备发出一个请求信号，已输出在优先级次序中具有最高优先级的请求信号的信号处理设备被选中。然后执行以下控制，通过图像数据总线为被选信号处理设备提供从存贮设备读出的图像数据，或通过图像数据总线将被选信号处理设备处理后的图像数据写到存贮设备，因而在相应的信号处理设备中有效实现了信号处理。
- 25

附图的简要说明：

- 30 图1是说明常规数码相机结构的框图。

图2是表示体现本发明的数码相机的原理结构的框图。

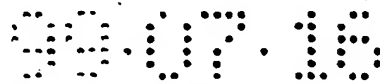


图 3 是表示图 2 所示数码相机的原理结构的框图。

图 4 是说明在图 2 所示数码相机的信号处理单元中的图像数据流动的框图。

图 5 是说明在信号处理单元的输入处理电路中简化的分辨率转换电路结构的框图。

图 6 是表示信号处理单元分辨率转换电路结构的框图。

图 7 是表示分辨率转换电路的水平方向缓冲器、水平方向转换处理电路、垂直方向缓冲器和垂直方向转换处理电路的具体结构的框图。

图 8 是表示分辨率转换电路另一种结构的框图。

图 9 是表示分辨率转换电路垂直方向缓冲器的结构的框图。

图 10 图解说明了存储控制器从图像存储器读出图像数据的技术。

图 11 图解说明了组成一幅图像的像素坐标位置。

图 12 图解说明了存储控制器从图像存储器读出图像数据的另一种技术。

图 13 是表示分辨率转换电路的由行缓冲器构成的水平方向缓冲器结构的框图。

图 14 图解说明了存储控制器从图像存储器读出图像数据的技术。

图 15 是表示信号处理单元 NTSC/PAL 编码器的简化分辨率转换电路结构的框图。

图 16A 至 16F 表示用于图解说明在取景模式下相应电路的信号处理内容的时间表。

参照附图，本发明的优选实施例将被详细地解释。

本发明应用于结构如图 2 所示的数码相机 1。

数码相机 1 包括一个产生图像信号的图像产生单元 10，一个按预定方式处理图像数据的输入信号处理器 20，一个由 SDRAM 构成的图像存储器 32，和一个控制输入信号处理器 20 的控制器 40。

图像产生单元 10 包括一个产生图像信号的固态成像设备，例如一个 CCD 图像传感器 11，一个采样-保持和数字化图像信号以输出图像数据的采样保持-模拟/数字电路(S/H-A/D 电路 12)，以及一个产生定时信号的定时产生器 13。这种定时产生器 13 根据由信号处理器提供的同步信号，产生水平同步信号和垂直同步信号来控制图像产生单元 10 的相应电路。

CCD 图像传感器 11 产生对应于 XGA(扩展图形阵列：1024 × 768)像素



数据的图像数据, 例如由 800,000 个像素组成。由来自定时产生器 13 的同步信号驱动的 CCD 图像传感器 11, 以每秒 30 帧的速率输出图像信号。同时, CCD 图像传感器 11 具有稀化图像信号的功能, 能将图像信号的垂直分量减少到 $1/2$, $1/3$, $1/4$, ..., 并输出所稀化的信号。

5 S/H-A/D 电路 12 按照来自定时产生器 13 的同步信号, 按预定采样间隔执行采样-保持和 A/D 转换, 并将所得图像数据发送到信号处理器 20。

 信号处理器 20 包括唯一一片 LSI(大规模集成电路)。信号处理器 20 包括: 一个对来自图像产生单元 10 的图像数据进行输入处理和照相处理的输入信号处理器 21, 一个控制图像存储器 32 读/写图像数据的存储控制器 22, 和
10 一个 NTSC/PAL(逐行倒相制)编码器 23, 一个用于模拟化图像数据并把所得模拟信号向外输出的 D/A 转换器 24, 以及一个产生同步信号并为定时产生器 13 提供所得同步信号的同步产生器 26。

 信号处理器 20 还包括: 一个存储器接口 27, 作为图像存储器 32 的接口, 一个转换图像数据分辨率的分辨率转换电路 28, 一个 JPEG(联合图像专家
15 组)编码器/解码器 29, 用于压缩/展开图像数据, 一个 JPEG 接口 30, 作为 JPEG 编码器/解码器 29 的接口, 以及一个主机接口 31, 作为与控制器 40 的 CPU 发送/接收数据的接口。

 输入信号处理器 21 对来自 S/H-A/D 电路 12 的图像数据进行数字箝位、
20 明暗校正、光圈校正、伽马校正或彩色处理, 把所得处理后的信号送到存储控制器 22。输入信号处理器 21 具有处理输入数据并把输入数据转换成 Y, Cb 和 Cr 的功能。如果图像数据的分辨率大于 VGA(视频图形阵列)的分辨率, 输入信号处理器 21 能执行降低分辨率的处理。输入信号处理器 21 还执行自动聚焦和自动光圈检测, 把数据送到控制器 40, 进行聚焦机构和光圈机构的自动调节。输入信号处理器 21 还检测构成图像数据的三原色信号电平来自动
25 调节白平衡。

 存储控制器 22 还执行控制, 通过存储器接口 27 把来自输入信号处理器 21 或其它电路的图像数据写入到图像存储器 32, 通过存储器接口 27 读出图像存储器 32 的图像数据。此时, 存储控制器 22 基于存贮在图像存储器 32 中的图像数据检测在 CCD 图像传感器 11 中是否存在缺陷像素。

30 存储控制器 22 把从图像存储器 32 中读出的图像数据送到例如, NTSC/PAL 编码器 23。当得到来自存储控制器 22 的图像数据时, NTSC/PAL



编码器 23 按 NTSC 制式或 PAL 制式将图像数据编码, 把编码后的图像数据送到 D/A 转换器 24。D/A 转换器 24 把图像数据模拟化, 通过输出端 25 输出所得的模拟信号。

5 存储控制器 22 把从存储控制器 22 读出的图像数据送到分辨率转换电路 28, 转换图像数据的分辨率, 而将分辨率转换电路 28 输出的图像数据写入到图像存储器 32。

存储控制器 22 通过 JPEG 接口 30 把图像数据送到 JPEG 编码器/解码器 29 来压缩静态图像, 同时将 JPEG 编码器/解码器 29 展开的图像数据写入到图像存储器 32。

10 图像存储器 32 不但保存如上所述的图像数据, 而且保存作为所谓的字符产生器数据的 OSD 数据(屏上显示数据)。OSD 数据由位图数据构成。控制器 22 控制读/写 OSD 数据。图像数据和 OSD 数据由 NTSC/PAL 编码器 23 合成。

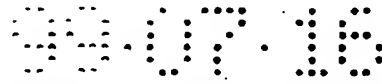
15 控制器 40 包括控制信号处理器 20 的对应电路的 CPU(中央处理器单元) 41, 一个 DRAM(动态随机访问存储器) 42, 一个存贮 CPU 41 控制程序的 ROM(只读存储器) 43, 一个快闪存储器接口 44, 作为与存贮设备 51 例如快闪存储器进行图像数据交换的接口, 以及一个 IrDA 接口 45, 作为由如 IrLED 构成的通讯电路 52 的接口。

20 例如, CPU 41 将 JPEG 编码器/解码器 29 压缩的图像数据, 通过快闪存储器接口 44 写入由快闪存储器组成的存储器设备 51, 同时使图像数据从存贮设备 51 中读出, 送出从 JPEG 编码器/解码器 29 中读出的图像数据。CPU 41 还使图像数据从存贮设备 51 中读出, 通过 IrDA 接口 45 和通讯电路 52 作为红外线向外输出。

数码相机 1 的原理结构如图 3 所示。

25 输入信号处理器 21 通过图像数据总线 33 把来自 CCD 图像传感器 11 的图像数据送到图像存储器 32。NTSC/PAL 编码器 23 按预定方式将来自图像存储器 32 的图像数据编码, 将所得编码后的数据送到取景器 36。这使对象的图像显示到取景器 36, 这适合于显示与最高到 VGA 格式的图像数据相关的图像。

30 存储控制器 22 在图像存储器 32 和连接到图像数据总线 33 的信号处理电路之间传递数据。分辨率转换电路 28 对来自图像存储器 32 的图像数据实



行分辨率转换, 把结果送到图像存储器 32。JPEG 编码器/解码器 29 按照 JPEG 制式压缩来自图像存储器 32 的图像数据, 通过 CPU 总线 34 把压缩后的图像数据送到 CPU 41, 然后 CPU 41 将压缩后的图像数据写入到存储设备 51。CPU 41 还能通过 CPU 总线 34 和通讯电路 52 将压缩图像数据向外输出。

5 因此, 在图 3 中, 信号处理器 20 的相应电路通过图像数据总线 33 互连。图像数据总线 33 是一条虚拟总线, 它表示对于相应电路之间交换的图像数据存在着传输带宽限制。

在信号处理器 20 中, 相应电路, 如 NTSC/PAL 编码器 23 或分辨率交换电路 28, 向存储控制器 22 发送表明要求图像数据的请求信号。在图像数据
10 处理结束之后输出图像数据时, 这些电路也向存储控制器 22 发送一个请求信号。

一旦从相应电路接收到请求信号, 存储控制器 22 选择那些具有高优先级次序的电路, 向选中电路发送确认的信号。确认信号表示图像数据能被送到接收到信号的电路, 或已准备好接收由收到确认信号的电路输出的图像数据。
15 存储控制器 22 从图像存储器 32 读出图像数据, 通过图像数据总线 33 把读出的图像数据送到对应于确认信号目的地的电路。存储控制器 22 接收由确认信号发往的电路输出的图像数据, 并向图像存储器 32 写入图像数据。

一旦接收来自多个电路的请求信号, 存储控制器 22 能优选出必须实时处理的电路。例如, 如果一个对象图像显示在取景器 36 上, 则存储控制器
20 22 优选输入信号处理器 21 和 NTSC/PAL 编码器 23。存储控制器 22 也可能判断在图像数据总线 33 上的总线占有率, 依靠占有率来确定各电路的优先级顺序。

如果图像数据能在图像数据总线 33 的传输带宽限制下送到相应的电路, 存储控制器 22 有可能控制向相应电路分时地发送确认信号, 允许相应电路
25 执行预定处理。这就使存储控制器 22 实时访问相应电路中的数据, 使来自相应电路的图像数据写入到图像存储器 32, 或使图像存储器 32 中的图像数据被读出并送到相应电路。

当存储控制器 22 能通过图像数据总线 33 访问外部电路(未示出)时, 如果外部电路能发送上述请求信号或接收所传送的确认信号, 则存储控制器 22
30 能同时和分时地在图像数据总线 33 的传输带宽限制范围内访问信号处理器 20 的相应电路。也就是说, 如果在图像数据总线 33 的带宽范围内, 存储控



制器 22 能同时访问信号处理器 20 中的各电路, 或分时访问信号处理器 20 的外部电路, 而不用考虑信号处理器 20 中的电路数量或外部电路数量。

如上所述, 存储控制器 22 执行对图像数据总线 33, 在图像存储器 32 和相应电路之间图像数据的写/读控制、和向 CPU 总线 34 传送数据的仲裁。

5 信号处理器 20 中图像数据的具体流向参照图 4 给予解释。

输入信号处理器 21 包括一个对来自图像产生单元 10 的图像数据进行预定信号处理的 CCD 接口 21, 一个处理 CCD 接口 21a 的检测电路 21b, 和一个进行图像数据转换处理的相机数字信号处理器 21c(相机 DSP 21c)。

10 CCD 接口 21a 对由 R, G 和 B 组成的来自图 2 所示的 S/H-A/D 电路 12 的图像数据进行处理, 如数字箝位、白平衡调节或伽马校正, 或在必要时对图像数据的水平方向的分量进行抽取。在这种处理之后, CCD 接口 21a 通过图像数据总线 33 把图像数据送到相机 DSP 21c 或送到存储控制器 22。

检测电路 21b 对来自 CCD 接口 21a 的图像数据执行自动聚焦、自动光圈检测或白平衡调节。

15 相机 DSP 21c 将来自 CCD 接口 21a 的 R, G 和 B 图像数据转换成由亮度信号 Y 和色度信号 Cb, Cr 构成的图像数据。相机 DSP 21c 还具有简化的分辨率转换电路 21, 它不但执行上述处理而且把图像数据分辨率转化成简化形式。

20 如果 CCD 图像传感器 11 产生的图像数据分辨率大于例如 VGA 格式, 简化分辨率转换电路 21d 就把图像数据分辨率转换到更低值。

具体地, 简化分辨率转换电路 21d 包括一个分离色度信号的 B-Y/R-Y 分离电路 61, 在水平方向内插的水平方向线性内插电路 62, 一个合成色度信号的 B-Y/R-Y 合成电路 63, 一个将相应信号延迟一个水平扫描周期(1H 周期)的 1H 延迟电路 64, 以及一个垂直方向线性插值电路 65。

25 B-Y/R-Y 分离电路 61 将来自相机 DSP 21c 图像数据的色度信号 B-Y 和 R-Y 分离成色度信号 Cb, Cr, 把分离的彩色信号送到水平方向线性插值电路 62。水平方向线性插值电路 62 在水平方向上插值亮度信号 Y 和色度信号 B-Y, R-Y 来降低水平方向的亮度, 把插值后的亮度信号 Y 和色度信号 B-Y, R-Y 送到 B-Y/R-Y 合成电路 63。

30 B-Y/R-Y 合成电路 63 合成色度信号 B-Y, R-Y, 把来自水平方向线性插值电路 62 的亮度信号 Y 和合成的色度信号 B-Y, R-Y 送到 1H 延迟电路



64 和垂直方向线性插值电路 65。1H 延迟电路 64 将亮度信号 Y 和色度信号延迟 1H，把延迟信号送到垂直方向线性插值电路 65。垂直方向线性插值电路 65 在垂直方向对来自 B-Y/R-Y 合成电路 63 和 1H 延迟电路 64 的亮度信号 Y 和色度信号 B-Y，R-Y 执行线性插值处理，输出在水平和垂直两个方向分辨率降低了的亮度信号 Y' 和色度信号 (B-Y)', (R-Y)' 所构成的图像数据。

分辨率转换电路 28 执行分辨率转换处理，把 $[p \times q]$ 图像数据转换成 $[m \times n]$ 图像数据。如果 CCD 图像传感器 11 产生的图像数据具有高分辨率，分辨率转换电路 28 执行抑制分辨率到一个预定值的处理。然而，将低分辨率的图像数据处理成高分辨率数据也是可能的。

- 10 参照图 6，分辨率转换电路 28 包括一个用于存贮从图像数据总线 33 输入的图像数据的一个输入缓冲器 71，一个水平方向缓冲器 72，用于在水平方向缓冲来自输入缓冲器 71 的图像数据，一个水平方向变换处理电路 73，用于在水平方向转换来自水平方向缓冲器 72 的图像数据的分辨率，一个垂直方向缓冲器 74，用于在垂直方向缓冲来自水平方向变换处理电路 73 的图像数据，一个垂直方向变换处理电路 75，用于在垂直方向转换图像数据的分辨率，以及一个在输出时刻用于缓冲的输出缓冲器 76。

- 当分辨率转换电路 28 准备好对图像数据分辨率进行转换时，它输出一个读请求信号，请求存储控制器 22 从图像存储器 32 读出图像数据，在转换处理了图像数据之后，输出一个写请求信号，请求存储控制器 22 在图像存储器 32 中写入图像数据。分辨率转换电路 28 还接收表示存储控制器 22 已响应请求信号的确认信号。

- 25 参照图 7，水平方向存储器 72 由第一延迟电路 81，第二延迟电路 82 和第三延迟电路 83 组成，每个延迟电路产生一个像素的延迟。因此，第一延迟电路 81 输出延迟了一个像素的图像数据，而第二和第三延迟电路 82、83 分别输出延迟了 2 个像素和 3 个像素的图像数据。

参照图 7，水平方向变换处理电路 73 包括第一到第四个乘法器 84, 85, 86, 87，和第一到第三个加法器 88, 89, 90。有时在加法器 90 之后还附带一个数据规范电路。

- 30 第一个乘法器 84 用预定系数乘以输入缓冲器 71 提供的图像数据，结果数据被送至加法器 88。第二乘法器 85 用预定系数乘以第一延迟电路 81 提供的图像数据，结果数据被送至加法器 88。第三个乘法器 86 用预定系数乘以



第二延迟电路 82 提供的图像数据, 结果数据被送至加法器 89。第四个乘法器 87 用预定系数乘以第三个延迟电路 83 提供的图像数据, 结果数据被送至加法器 90。第一个加法器 88 合成图像数据将结果数据送到第二个加法器 89。第二个加法器 89 合成图像数据, 将结果数据送到第三个加法器 90。第三个加法器 90 合成相应的图像数据, 将所得数据作为在水平方向分辨率转换后的图像数据送入垂直方向缓冲器 74。

因此, 水平方向变换处理电路 73 按预定方式用预定权值来加权多个具有一个像素延迟的图像数据, 并合成加权的图像数据, 对水平方向的像素插值或抽取来转换水平方向的分辨率。

10 垂直方向缓冲器 74 由串联连接的第 1 到第 3 缓冲器 91, 92, 93 构成, 每个缓冲器产生 1 行延迟。因此, 第 1 缓冲器存储器 91 输出延迟 1 行的图像数据, 而第 2 和第 3 个缓冲器存储器 92, 93 分别输出延迟 2 行和 3 行的图像数据。

参照图 7, 垂直方向变换处理电路 75 包括第 5 到第 8 个乘法器 94 至 97 和第 4 到第 6 个加法器 98 至 100。垂直方向变换处理电路 75 在加法器 90 下游一侧有时会包括一个数据规范电路。

第 5 个乘法器 94 用预定系数乘以水平方向转换电路 73 提供的图像数据, 所得数据送至第 4 个加法器 98。第 6 个乘法器 95 用预定系数乘以第 1 行存储器 91 提供的图像数据, 所得数据送至第 4 个加法器 98。第 7 个乘法器 96 用预定系数乘以第 2 行存储器 92 提供的图像数据, 所得数据送至第 5 个加法器 99。第 8 个乘法器 97 用预定系数乘以第 3 行存储器 93 提供的图像数据, 所得数据送至第 6 个加法器 100。第 4 个加法器 98 合成图像数据, 将所得数据送至第 5 个加法器 99。第 5 个加法器 99 合成图像数据, 将所得图像数据送至第 6 个加法器 100。第 6 个加法器合成相应的图像数据, 将所得数据作为在垂直方向上分辨率转换后的图像数据输出。

因此, 垂直方向变换处理电路 75 按预定方式用预定权值来加权多个各具有一行延迟的图像数据, 并合成加权的图像数据, 对水平方向的像素插值或抽取来转换垂直方向的分辨率。

图 7 中, 分辨率转换电路 28 先在水平方向转换分辨率, 接着在垂直方向转换分辨率。分辨率转换电路 28 也可能先在垂直方向执行分辨率转换, 接着在水平方向转换分辨率。这就是说, 分辨率转换电路 28 可配置成从输入缓



冲器 71 提供图像数据给垂直方向缓冲器 74，并依次在垂直方向缓冲器 74、垂直方向变换处理电路 75、水平方向缓冲器 72 和水平方向变换处理电路 73 中执行处理。

在上述实施例中，在垂直方向缓冲器 74 中的第 1 到第 3 个缓冲器存储器 91 至 93 配置成存贮 1 行(1H)图像数据。或者，如图 9 所示，第 1 到第 3 个缓冲器存储器 91 至 93 可配置成存贮少于一行的图像数据。这需要存储控制器 22 按每 N 个像素读出存贮在图像存储器 32 中的图像数据，如图 10 所示。

具体地说，存储控制器 22 在垂直方向以行为基准按每 N 个像素读出对应于可视屏幕的存贮在图像存储器 32 中的像素数据。参照图 11，每个可视屏幕由 $p \times q$ 个像素构成，左上角像素的坐标为(1, 1)，右上角像素的坐标为(p, 1)，左下角像素坐标是(1, q)，右下角像素坐标是(p, q)。

参照图 12，存储控制器 22 在水平方向以行作基准，按行 1, 2, ..., q 的顺序读出 N 个像素的图像数据。这就使存储控制器 22 从左端读出对应于 N 个像素的图像数据，或 $N \times q$ 像素，即在(1, 1), (1, q), (N, q)和(N, 1)定义的区域中的像素数据。该图像数据在下面称为图像数据组(1)。

存储控制器 22 接着读出由(N-1, 1), (N-1, q), (2N-2, q), (2N-2, 1)定义范围内的图像数据，以下称为图像数据组(2)。如果存储控制器 22 读出图像数据组(1)和图像数据组(2)，就相当于 2 次读出第(N-1)列和第 N 列图像数据。

原因是，由于垂直方向变换处理电路 75 从周围像素开始插值，存贮在第 1 至第 3 缓冲存储器 91 至 93 的起始端和终止端的像素不是处理的对象。例如，如果图像数据组(1)被读出，则像素(N, 1)不是在垂直方向上插值处理的对象。可是，当读出像素数据集(2)时，像素(N, 1)被读出，它成为插值处理的对象。

按相似的方式，存储控制器 22 在水平方向按每行读出 N 个像素的图像数据，从而包括了前一个图像数据组的最后两列的图像数据。然后将图像数据组送到分辨率转换电路 28。

按行为基准将数量上对应于第 1 至第 3 缓冲器 91 至 93 容量的图像数据送至垂直方向缓冲器 74。因此，偏移 1 行的图像数据被存贮在第 1 至第 3 个缓冲存储器 91 至 93 中的每一个。垂直方向变换处理电路 75 能根据来自垂直方向缓冲器 74 的第 1 至第 3 个缓冲器 91 至 93 的图像数据在垂直方向进行

分辨率转换处理。

至于存储控制器 22，它能按缓冲存储器的容量读出数据，使分辨率转换电路 28 在垂直方向执行分辨率转换，即使在垂直方向分辨率转换所需的缓冲存储器容量不多于 1 行。

5 虽然在图像数据组之间重叠的读出数据有两列，也可能重叠列数超过两列或没有重叠。请注意本发明可应用于图像信号处理，如相机信号处理，而限于分辨率转换。

虽然前面的描述针对的是用于垂直方向插值的缓冲存储器的实施例，本发明也适合于用于水平方向插值的缓冲存储器的实施例。

10 也就是说，如图 13 所示，分辨率转换电路 28 可利用由容量为 N 个像素的缓冲存储器 72a 构成的水平方向缓冲器 72a 在水平方向实现分辨率转换。如图 14 所示，存储控制器 22 在垂直方向按列 1, 2, ..., P 的顺序以列为基准读出 N 个像素的图像数据。同时，如上述垂直插值处理那样，这需要存储控制器 22 两次读出在缓冲存储器首尾两端存贮的图像数据，这样这些图像数据
15 将成为水平方向插值处理的对象。

这样，存储控制器 22 能从图像存储器 32 中读出图像数据，从而利用各具有 N 个像素容量的第 1 至第 3 缓冲存储器 91 至 93 能够在水平和垂直方向上进行分辨率转换处理。这缩小了水平方向缓冲器 72 和垂直方向缓冲器 74 的电路规模，降低了生产成本。

20 如上所述执行编码的 NTSC/PAL 编码器 23，也具有简化的分辨率转换电路 23a，用来在着手编码前提高图像数据的分辨率，如果需要的话。

如果图像存储器 32 上的图像数据的分辨率低于显示要求的分辨率，简化的分辨率转换电路 23a 执行分辨率转换来匹配取景器 36 的显示标准。

参照图 15，简化的分辨率转换电路 23a 包括一个存贮来自图像数据总线 33 的图像数据的行存储器 101，一个在垂直方向插值图像数据的垂直方向
25 线性插值电路(V 方向线性插值电路 102)，以及一个水平方向插值电路 103。

行存储器 101 存贮来自输入端口 in 且数量对应于 1 行的图像数据，并按它存贮的顺序向 V-方向线性插值电路 102 发送图像数据。V 方向线性插值电路 102 用预定权值给来自输入端口 in 的图像数据和来自行存储器 101 的图像
30 数据加权，并在垂直方向执行线性插值。水平方向插值电路 103 用 7 阶滤波器插值 Y，用 3 阶滤波器插值 Cb 和 Cr。这只是增加 2 倍分辨率的插值。水

平方向插值电路 103 在输出端口 out 输出图像数据。

例如, 如果 a 表示从输入端口 in 输入的图像数据, b 表示从行存储器 101 读出的图像数据, g 是权系数, $0 < g < 1$, c 是 V 方向线性插值电路 102 输出的图像数据, 则 V 方向线性插值电路 102 进行下列处理:

$$c = g \cdot a + (1-g) \cdot b$$

如上所述, NTSC/PAL 编码器 23 对输出端口 out 输出的图像数据编码。

数码相机 1 的信号处理系统由 2 个芯片即信号处理器 20 和 CPU 41 组成。因此, 与各个信号处理电路都是由单独芯片结构组成的多个芯片的情况相比, 缩小了基片表面区, 并降低了功耗。

10 还有, 由于信号处理器 20 的芯片配置不包括 CPU, 即使与 CPU 41 有关的应用改变了, 也能相应进行信号处理。这就是说, 如果信号处理器 20 是包括 CPU 的芯片配置, 一旦 CPU 应用改变时, 就不可能重建芯片, 反之, 信号处理器 20 可按应用采用优化结构的 CPU 来执行预定信号处理。

15 上述结构的数码相机 1 具有在拍摄图像前确定对象状态和位置的取景模式、确定后拍摄对象图像的记录模式、和确定对象图像拍摄状态的再现模式。数码相机依据选用模式进行处理。

在取景模式, 在用户按快门按钮(未显示)拍摄对象前, 必须观察在取景器 36 上显示的对象状态。在这种取景模式, 存储控制器 22 和其它电路按下列方式受控。为图解说明有关模式, 将主要参照图 4, 有时参照图 16。

20 在取景模式, CCD 图像传感器 11 产生图像信号, 将垂直分量缩减到 1/3, 通过 S/H-A/D 电路 12 向 CCD 接口 21a 提供数字化图像数据。

CCD 接口 21a 执行与图 16A 所示的时钟同步的信号处理。准确地说, CCD 接口 21a 抽取图像产生单元 10 提供的图像数据的水平分量的三分之一, 对抽取的图像数据进行伽马校正, 向相机 DSP 21c 发送伽马校正的数据。

25 CCD 接口 21a 向相机 DSP 21c 提供由 1/3 抽取过程转换到 340×256 的图像数据。

30 相机 DSP 21c 对抽取的图像数据执行数据转换处理, 将其转换成 YCrCb 图像数据。相机 DSP 21c 用简化的分辨率转换电路 21d 转换图像数据的分辨率来降低图像数据的分辨率($340 \times 256 \rightarrow 320 \times 240$), 通过图像数据总线 33 把转换过的图像数据送至存储控制器 22。

请注意简化分辨率转换电路 21d 以一种简化方式将分辨率降低到一种后



续处理所需的程度。在这种方式中, 如果 CCD 图像传感器 11 产生的图像数据是高分辨率的, CCD 图像传感器 11 产生的图像数据所占用的传送范围可被减小, 以避免图像数据总线 33 的停滞, 维持取景模式的实时特征。

5 存储控制器 22 在图像存储器 32 中写入图像数据, 同时从图像存储器 32 中读出如图 16D 所示的图像数据, 通过图像数据总线 33 向 NTSC/PAL 编码器 23 发送读出的图像数据。同时, 存储控制器 22 读出存贮在图像存储器 32 中如图 16E 所示的 OSD 数据, 并发送这些 OSD 数据。图 16F 指出了可能进行上述实时处理的在图像数据总线 33 上的传送状态。

10 在 NTSC 制式或 PAL 制式的情况下, NTSC/PAL 编码器 23 分别进行 $320 \times 240 \rightarrow 640 \times 240$ 或 $320 \times 240 \rightarrow 640 \times 288$ 的分辨率转换, 并发送转换的图像数据到 NTSC/PAL 编码器 23。NTSC/PAL 编码器 23 还把转换成 NTSC 制式或 PAL 制式数据的图像数据转换成 OSD 数据, 将转换后的 OSD 数据送至图 3 所示的取景器 36。这就使对象图像和标题信息等图像实时显示在取景器 36 上。

15 同时, NTSC/PAL 编码器 23 转换分辨率, 致使低分辨率数据增加分辨率, 例如, 如果提供 320×200 图像数据, 它被转换成分别对应于 NTSC 制式和 PAL 制式的 640×240 图像数据和 640×288 图像数据。

20 在数码相机 1 中, CCD 图像传感器 11 产生的图像数据的分辨率在取景模式为降低数据量按简化方式被降低, 结果图像数据将在图像数据总线 33 的带宽限制内, 结果使分辨率按所图 16F 所示的时序在输出阶段被增加到显示所需的程度。

这样, 采用数码相机 1, 为允许在取景器 36 上显示对象图像, 即使是高分辨率的图像数据, 也将图像数据置于图像数据总线 33 的带宽限制内, 所以就不必进行费时的抽取处理。

25 如果在 CPU 41 中预先设定了优先处理电路, 即 CCD 接口 21a、相机 DSP 21c 或 NTSC/PAL 编码器 23, 并且要在其它电路中如上述电路那样分时进行信号处理, 则依据图像数据的数据量, 具有高优先级的相应电路的处理会被优先执行。

30 在简化的分辨率转换电路 21d 中图像数据量大的情况下, 为了给予实时处理优先权, 在 CPU 41 的控制下可进行高处理速度的数据处理, 即使图像质量降低到某种程度。按此方式, 即使在图像产生单元 10 产生图像数据量大

的情况下,在取景模式也能进行高速处理。

在具有变焦功能的数码相机 1 的情况下, CPU 41 能按下列方式控制相应电路。

5 存储控制器 22 将通过 CCD 接口 21a 和相机 DSP 21c 提供的图像数据写入图像存储器 32 中,同时从图像存储器 32 读出图像数据,送至分辨率转换电路 28。分辨率转换电路 28 利用电子变焦功能对分辨率较低的图像数据进行到较高分辨率的变换处理,或对分辨率较高的图像进行到较低分辨率的变换处理,并将所得图像数据输出到图像存储器 32。这种图像数据从图像存储器 32 读出,通过 NTSC/PAL 编码器 23 输出到取景器 36。这样就产生了电
10 子变焦图像数据。

由于取景模式给与实时特征最高优先级,相应电路没有执行费时的处理。然而,如果在图像数据总线 33 传送区域允许的范围内, CPU 41 能配置成使存储控制器 22 和其它电路实行各种处理。

例如,存储控制器 22 可配置成从其中存贮了 CCD 接口 21a 提供的图像
15 数据的图像存储器 32 中读出图像数据,通过图像数据总线 33 向 NTSC/PAL 编码器 23 和 JPEG 编码器/解码器 29 提供读出的图像数据。取景器 36 实时显示对象图像,同时 JPEG 编码器/解码器 29 按 JPEG 制式压缩图像数据。

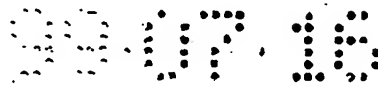
JPEG 编码器/解码器 29 压缩/扩展静态图像,然而它不能实时处理具有大量像素的图像。因而 JPEG 编码器/解码器 29 有可能通过压缩来抽取预定
20 数量的从图像数据总线 33 提供的图像数据帧(帧或场数),或通过压缩来切取部分图像以降低分辨率。这使连续拍摄帧抽取的静态图像或连续拍摄低分辨率图像成为可能。

用户在上面提到的取景模式观察显示在取景器 36 上的对象状态。如果决定拍摄对象,用户按快门按钮(未示出)。

25 如果按下快门按钮,数码相机 1 转到记录模式。在记录模式, CPU 41 按下列方式控制存储控制器 22 或相应的电路,将所拍摄的对象图像记录在记录设备 51 上。

与按快门按钮同步, CCD 图像传感器 11 终止抽取操作,产生 XGA 格式的图像信号,通过 S/H-A/D 电路 12 将数字化图像数据送至 CCD 接口 21a。

30 CCD 接口 21a 没有把 S/H-A/D 电路 12 提供的图像数据送到相机 DSP 21c,而是通过图像数据总线 33 送到存储控制器 22。存储控制器 22 先将图



像数据写入图像存储器 32，接着读出图像数据，通过图像数据总线 33 把读出的图像数据送至相机 DSP 21c。相机 DSP 21c 把由 RGB 组成的图像数据转换成由 Y, Cb 和 Cr 组成的图像数据。

相机 DSP 21c 被提供了曾写入图像存储器 32 中的图像数据。这就是说，
5 相机 DSP 21c 对来自图像存储器 32 的图像数据而不是直接由 CCD 接口 21a 提供的图像数据进行数据转换。这样，相机 DSP 21c 不必执行高速的数据转换，而只有当图像数据总线 33 不忙时，相机 DSP 21c 才能执行这类处理。换种说法，在记录模式下，相机 DSP 21c 不必实时完成处理，从而当执行数据转换处理时给予高图像质量而非高处理速度以优先权，所得转换图像数据可
10 通过图像数据总线 33 送至存储控制器 22。存储控制器 22 将图像数据写入图像存储器 32。

存储控制器 22 使图像数据从图像存储器 32 中读出，读出的图像数据被送至 JPEG 编码器/解码器 29。JPEG 编码器/解码器 29 按 JPEG 制式压缩图像数据，将压缩图像数据写入如图 3 所示的记录设备 51。

15 如果不必实时处理，例如在记录模式下，则 CPU 41 允许在将图像数据暂时写入图像存储器 32 之后，执行预定处理来利用图像数据总线 33 的传输带宽来处理多像素图像。

在记录模式中，CPU 41 将 XGA 格式的图像数据直接记录在记录设备 51。然而，在把图像数据记录到记录设备 51 上之前，分辨率转换电路 28 也
20 有可能转换图像数据的分辨率。精确地说，有可能使分辨率转换电路 28 将通过存储控制器 22 从图像存储器 32 中读出的图像数据的分辨率转换为 VGA 格式($1024 \times 768 \rightarrow 640 \times 480$)，从而允许 JPEG 编码器/解码器 29 压缩图像数据，把压缩数据记录在记录设备 51 中。

如果想在图像拍摄之后确定拍摄时的图像，操作者按回放按钮(未表示)，
25 来再现拍摄时的图像。

如果推动再现按钮，数码相机 1 转到再现模式。在再现模式，CPU 41 按下列方式控制有关电路读出对象的图像数据。

即，一旦检测到再现按钮的推动，CPU 41 就从记录设备 51 中读出图像数据，在将数据通过 CPU 总线 34 送至 JPEG 编码器/解码器 29 之前，将读出的图像数据暂时地存贮在 DRAM 42 中。JPEG 编码器/解码器 29 按 JPEG 制
30 式扩展从记录设备 51 读出的图像数据，产生 XGA 格式的图像数据，通过图



像数据总线 33 把所得图像数据送至存储控制器 22。

存储控制器 22 在图像存储器 32 上写图像数据，从图像存储器 32 中读出图像数据，通过图像数据总线 33 将读出的图像数据发送至分辨率转换电路 28。

- 5 分辨率转换电路进行分辨率转换，从而使图像数据符合 VGA 格式(NTSC 制式下 $1024 \times 768 \rightarrow 640 \times 480$ ，PAL 制式下 $1024 \times 768 \rightarrow 640 \times 576$)，通过图像数据总线 33 把转换的图像数据送至存储控制器 22。然后从图像存储器 32 中读出图像数据，通过 NTSC/PAL 编码器 23 将图像数据送至取景器 36。这样就在取景器 36 上显示了对应于记录在记录设备 51 中的图像数据的一幅图像。
- 10

即，由于记录在记录设备 51 上的图像数据具有高分辨率，CPU 41 先降低分辨率，接着将图像数据送至取景器 36。

- 对于取景模式、记录模式和再现模式中的每一种，CPU 41 都有可能设置将优先进行处理的电路的优先级次序，在转到某种模式时，使有关电路按
- 15 优先级次序执行处理。这使得在每种模式中依据处理内容有效地执行图像数据的信号处理成为可能。

在上述实施例中，假设被处理的数据是相当于 XGA 的图像数据。请注意本发明不限于本实施例，能应用于例如由 1 百万或更多像素组成的图像数据的处理。

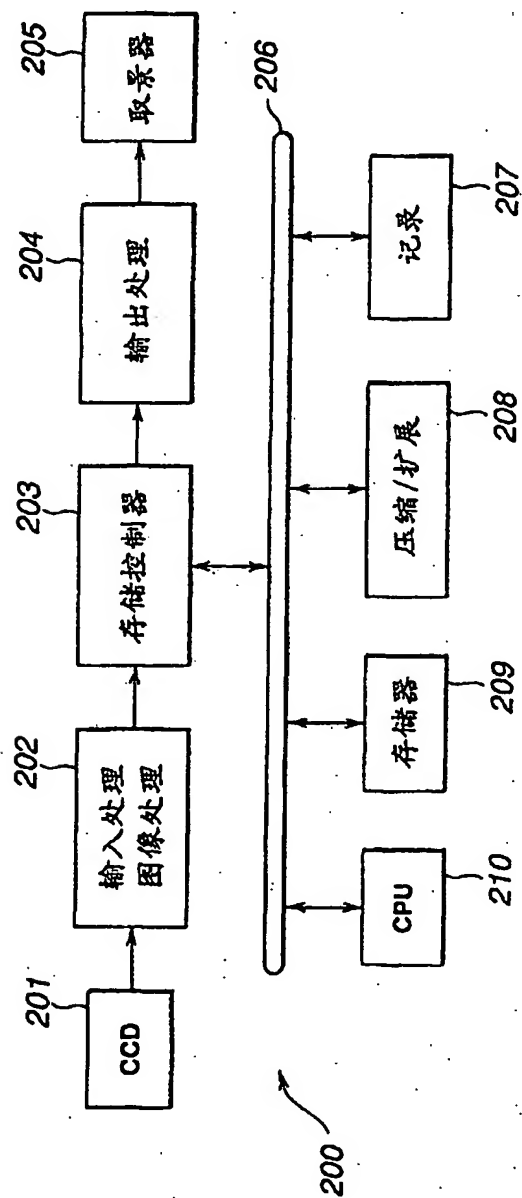


图 1

00000000

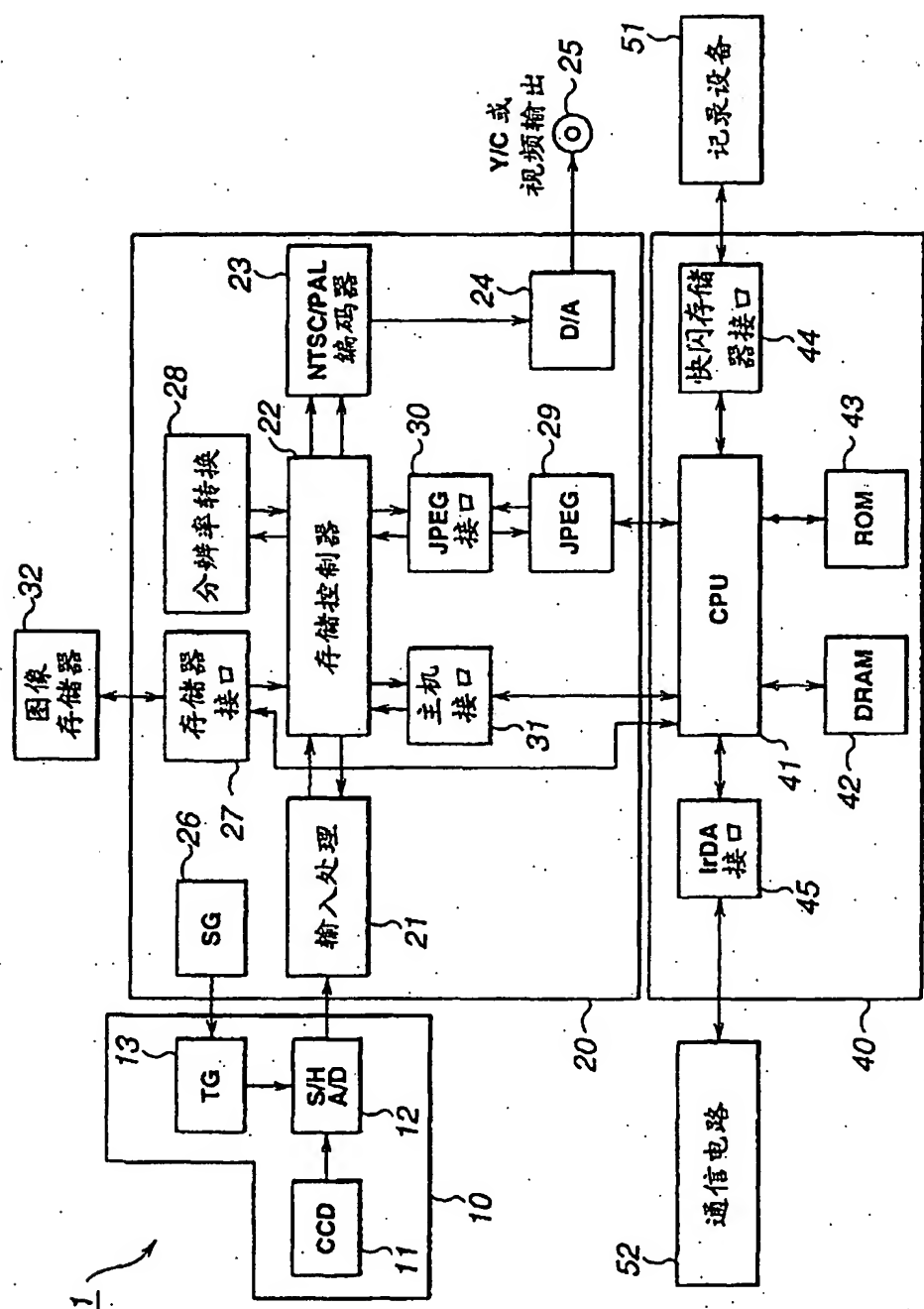


图 2

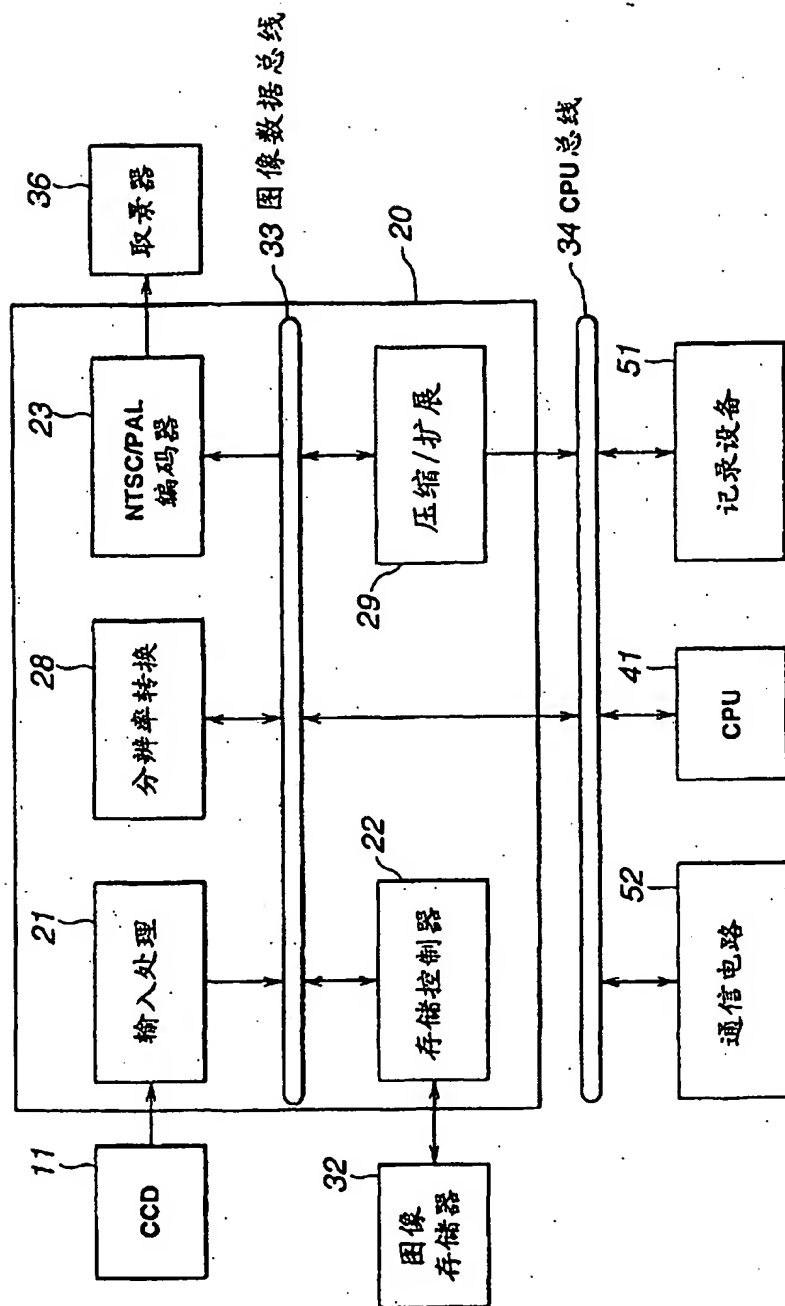


图 3

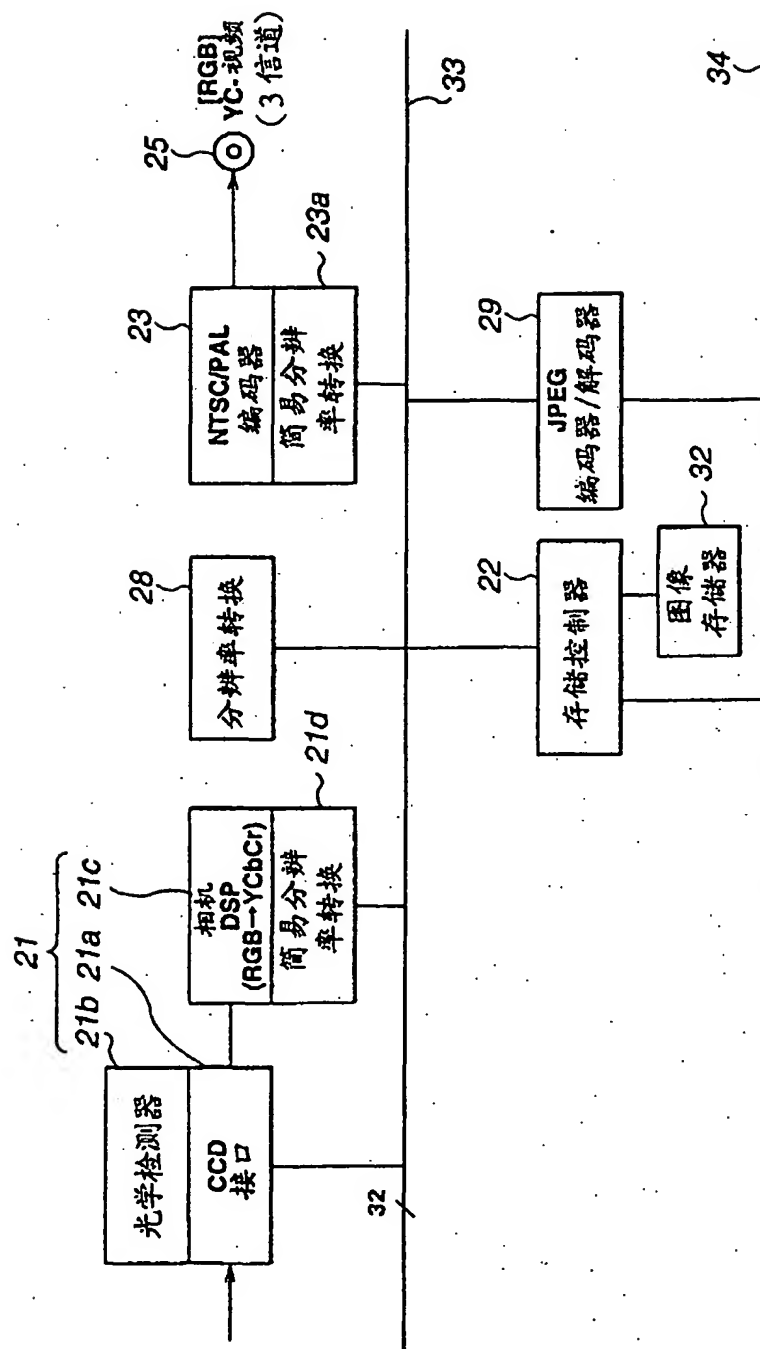


图 4

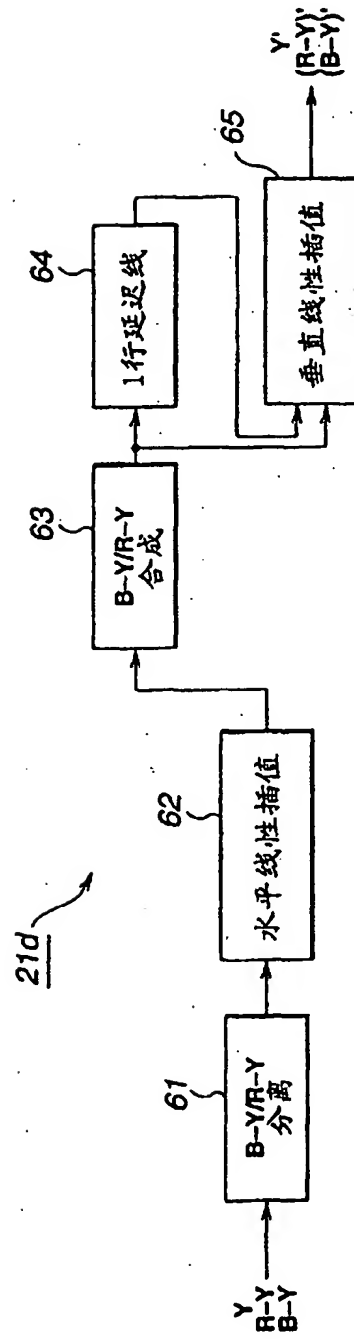


图 5

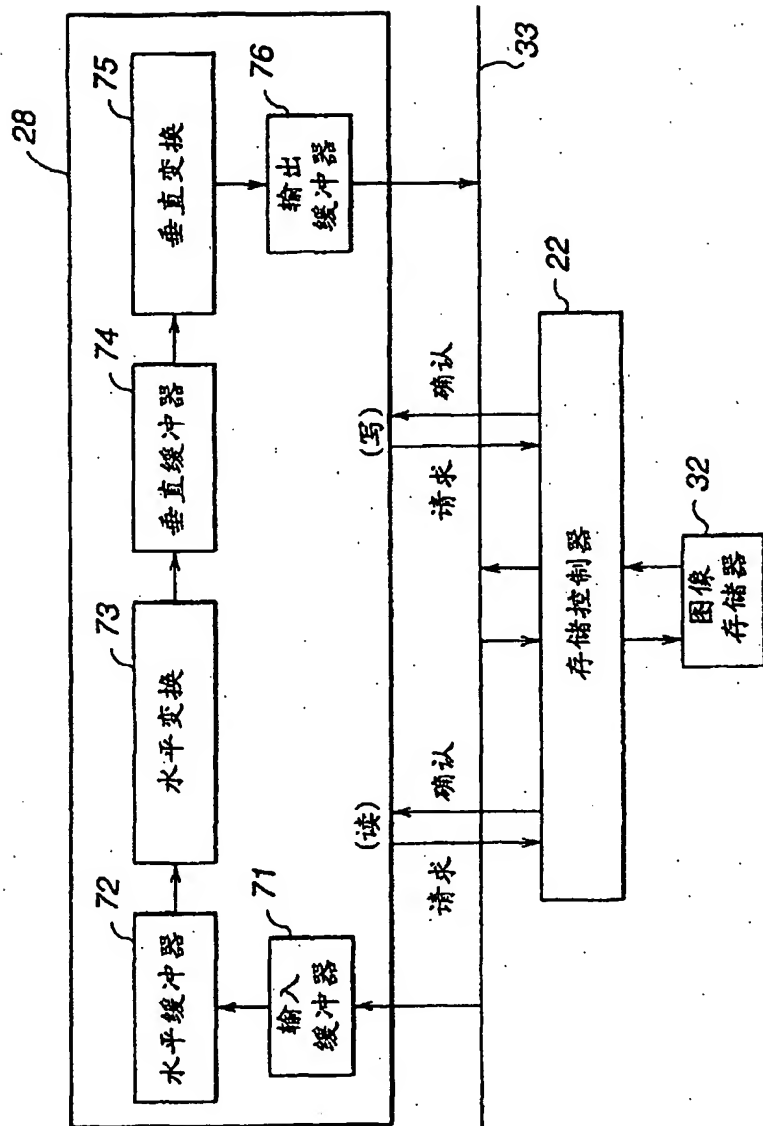


图 6

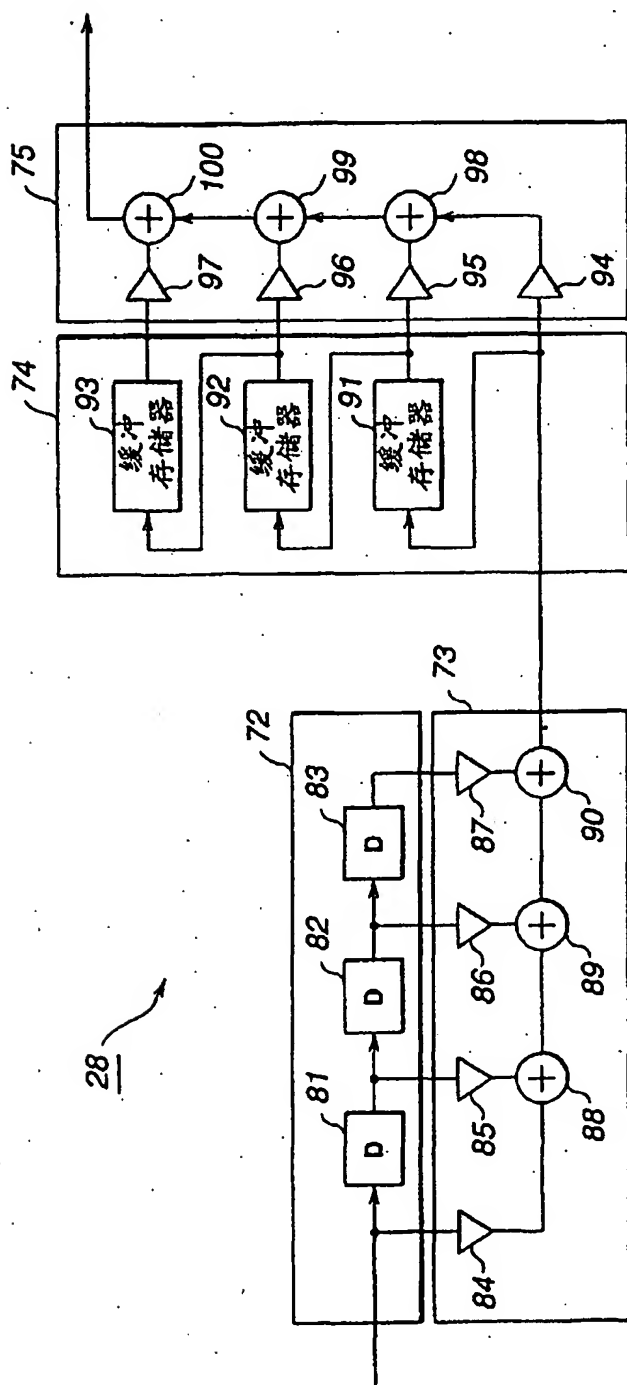


图 7

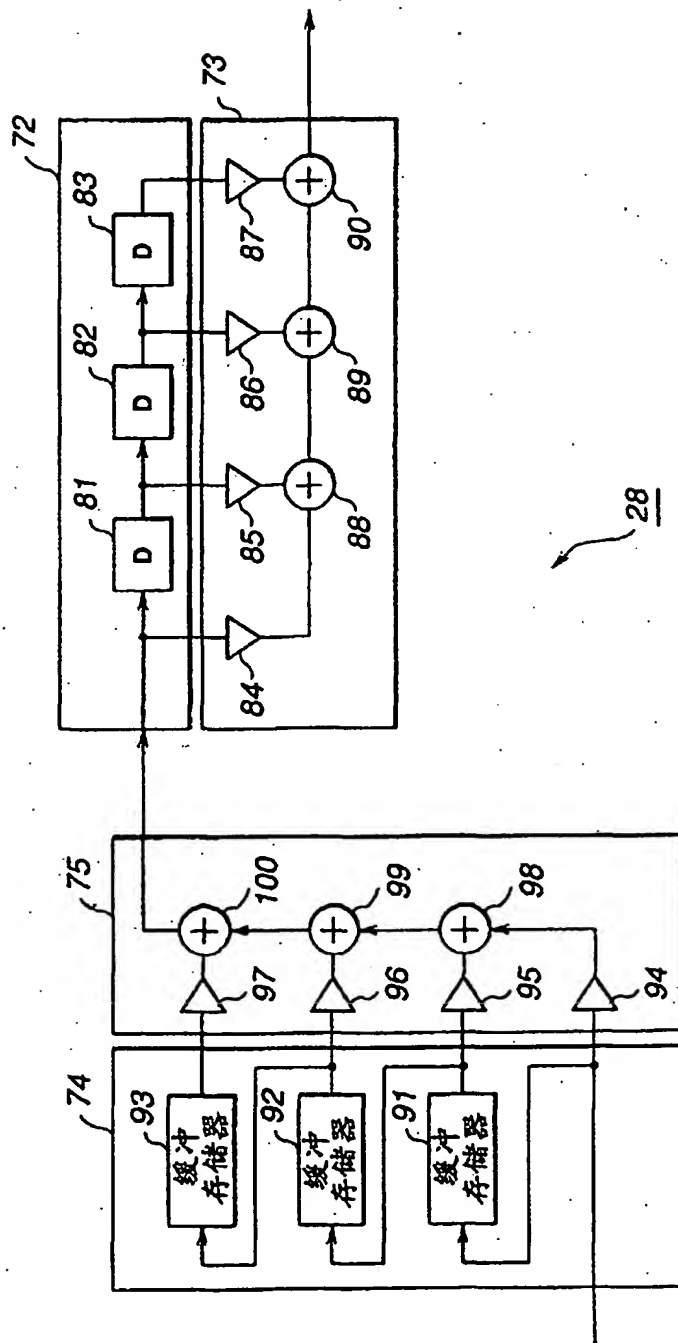


图 8

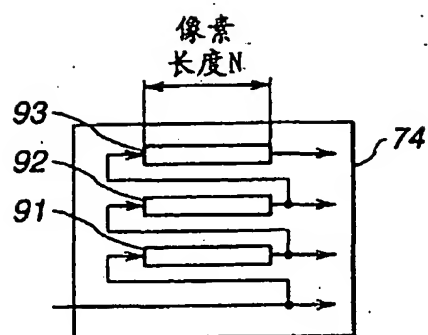


图 9

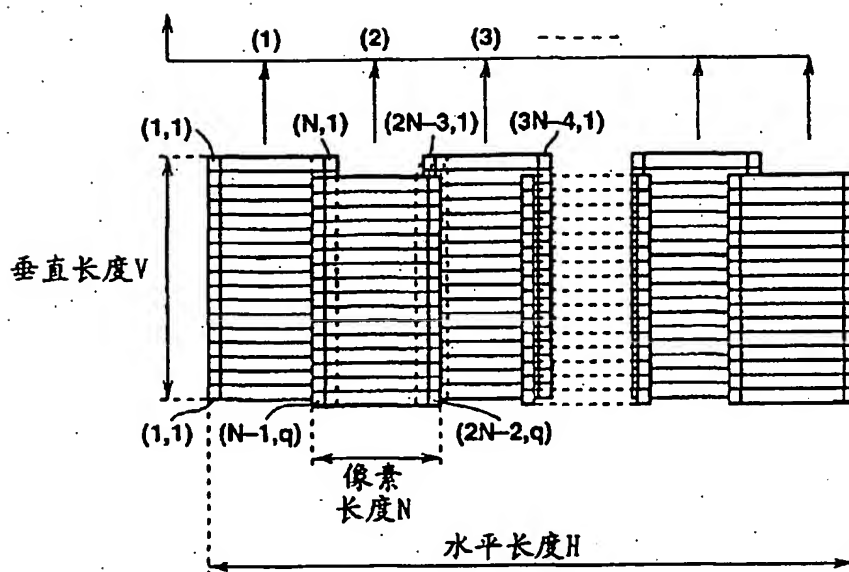


图 10

99-07-18

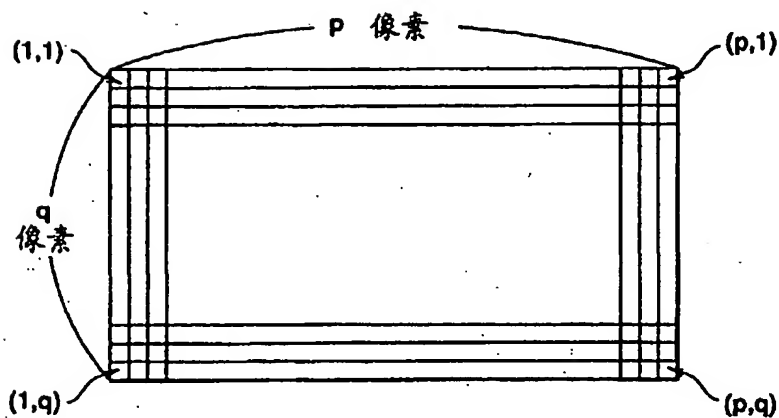


图 11

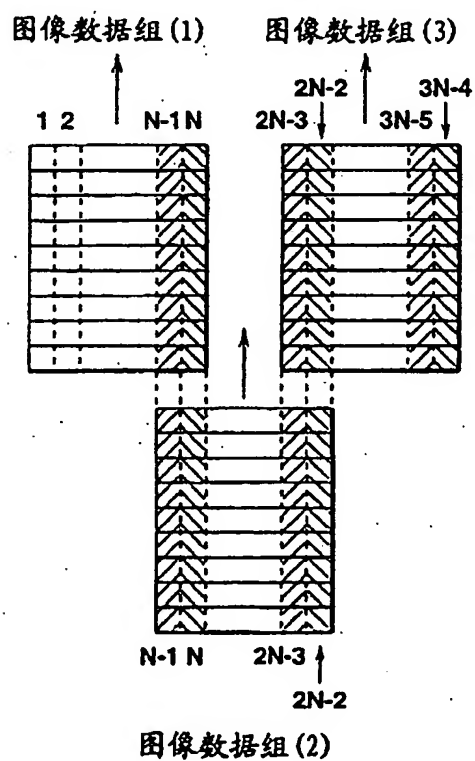


图 12

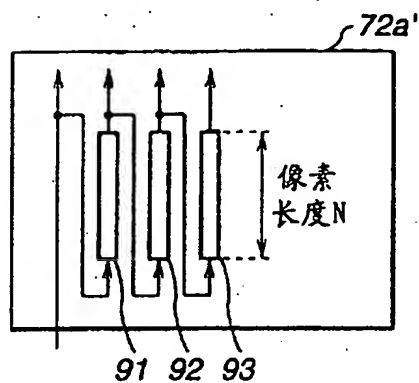


图 13

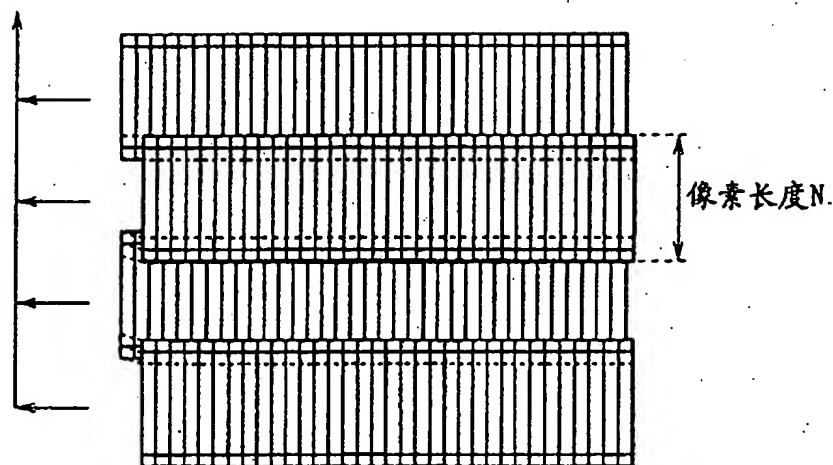


图 14

2007.10

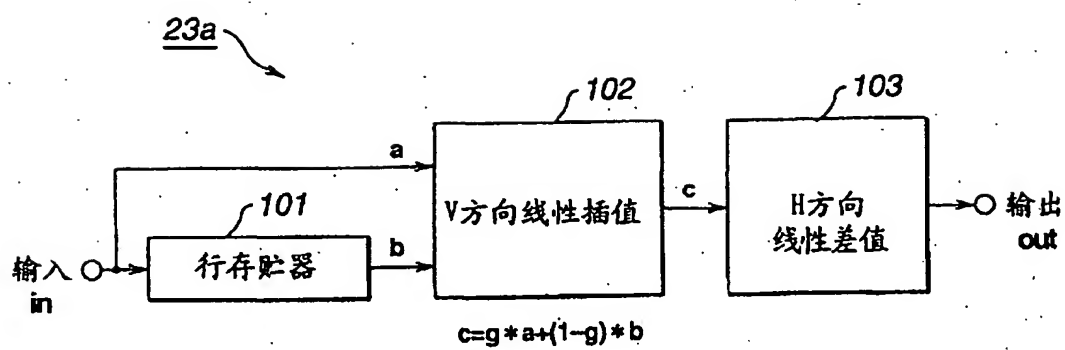
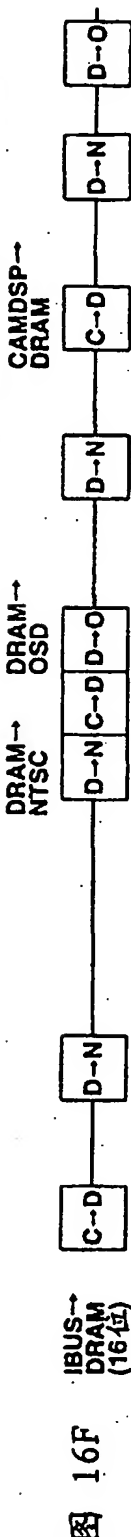
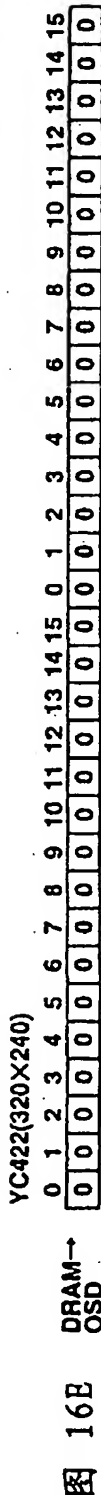
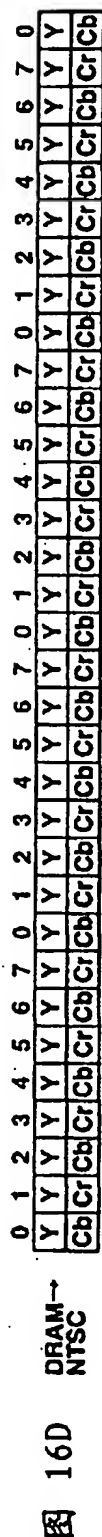
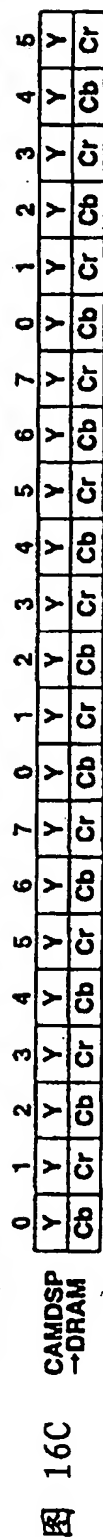
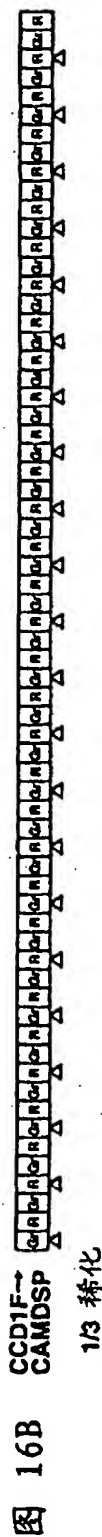


图 15



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.